

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-090595

(43)Date of publication of application : 09.04.1993

(51)Int.Cl.

H01L 29/784

(21)Application number : 03-248773

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 27.09.1991

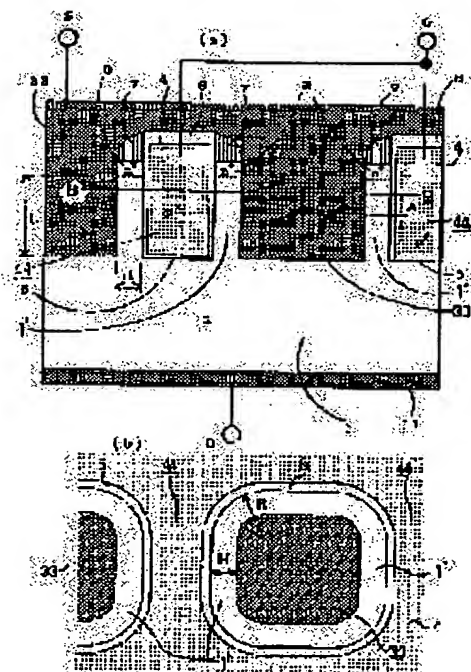
(72)Inventor : MURAKAMI YOSHINORI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To provide a semiconductor device which is capable of minimizing on-state resistance and embodying current cut-off properties equivalent to that of prior art MOS type power devices.

**CONSTITUTION:** This semiconductor device is provided with an insulation gate 44 comprising an electrode 4 formed in contact with one main plane of a semiconductor which becomes a drain region 1 and covered with an insulating film 5, a channel region 1' formed in contact with the drain region 1 and the insulation gate 44, a source region 3 formed in contact with the channel region 1' and the insulation gate 44 but non-contact with the drain region 1, and a source electrode 33 which is in ohmic contact with the source region 3 and made of a metal which is in Schottky junction with the channel region 1'. In a cross section parallel to one main plane of the semiconductor in the channel region 1', it is arranged that the shortest distance between the Schottky junction side and the insulation gate surface will be identical almost everywhere.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-90595

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M

H 0 1 L 29/ 78

3 2 1 S

審査請求 未請求 請求項の数3(全 13 頁)

(21)出願番号 特願平3-248773

(22)出願日 平成3年(1991)9月27日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 村上 善則

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

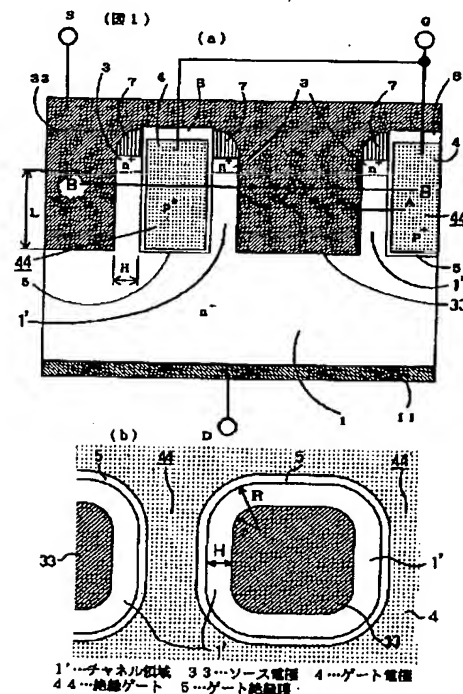
(74)代理人 弁理士 中村 純之助 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 オン抵抗が低く、かつ従来のMOS型パワーデバイス同等の電流遮断特性を実現できる半導体装置を提供する。

【構成】 ドレイン領域1となる半導体の一主面に接して形成され、絶縁膜5に被覆されたゲート電極4からなる絶縁ゲート44と、ドレイン領域1と絶縁ゲート44に接して形成されたチャンネル領域1'と、チャンネル領域1'と絶縁ゲート44に接し、ドレイン領域1には接しないように形成されたソース領域3と、ソース領域3とオーミックコンタクトし、かつチャンネル領域1'とショットキー接合する金属からなるソース電極33と、を備え、チャンネル領域1'の上記半導体の一主面に平行な断面において、ショットキー接合面と絶縁ゲート表面との最短距離があらゆるところでほぼ同一であるようにした構成。



## 【特許請求の範囲】

【請求項1】ドレイン領域となる第1導電型の単結晶半導体の一主面に接して形成され、表面を絶縁膜に被覆されたゲート電極からなる絶縁ゲートと、  
上記ドレイン領域と上記絶縁ゲートに接して形成された第1導電型のチャンネル領域と、  
上記チャンネル領域と上記絶縁ゲートに接し、上記ドレイン領域には接しないように形成された第1導電型のソース領域と、  
上記ソース領域とオーミックコンタクトし、かつ上記チャンネル領域とショットキー接合する金属からなるソース電極と、を備え、  
上記チャンネル領域の上記半導体の一主面に平行な断面において、上記ショットキー接合面と上記絶縁ゲート表面との最短距離があらゆるところでほぼ同一である、  
ことを特徴とする半導体装置。

【請求項2】請求項1に記載の半導体装置において、上記チャンネル領域が上記ドレイン領域と連続した単結晶半導体からなることを特徴とする半導体装置。

【請求項3】請求項1に記載の半導体装置において、上記チャンネル領域が多結晶半導体からなることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、蓄積層をチャンネルとして利用したMOSデバイスに関する。

## 【0002】

【従来の技術】従来のMOS型デバイスとしては、例えば、「モダン パワー デバイセス (“MODERN POWER DEVICES” B. Jayant Baliga著 John Wiley & Sons, Inc. ) の第263頁」に記載されているものがある。図21は上記のDMOS構造の断面図である。図21において、1はn型ドレイン領域、11はドレイン電極、2はp型ベース領域、22はベース領域のコンタクト用のp+型領域、3はn+型ソース領域、33はソース電極、4はゲート電極、5はゲート絶縁膜、6は層間絶縁膜、Cはチャンネル、Lはチャンネル長である。なお、ドレイン領域1とドレイン電極11はオーミックコンタクトしているものとする。図21のような構造単位が同一半導体チップの表面上に複数並列に配置されているのが一般的な縦型MOSFETの構造である。

【0003】以下、図21の素子の動作を説明する。

【0004】上記の構造ではドレイン電極を正の電位に、ソース電極を接地して使用する。ゲート電極4がソース電極33と同電位の時は、ソース領域3とドレイン領域1の間はp型ベース領域2の存在によって電氣的に遮断され、電流は流れない。ゲート電極4にしかるべき正電位を印加すると、ゲート絶縁膜5と接するp型ベース領域2の界面に反転層が形成され、これがチャンネルCとなってソース領域とドレイン領域は電氣的に接続され

て主電流が流れる。いわゆる「オン抵抗」と呼ばれる動作時の素子自身の抵抗は低いほどよい。上記の構造において、チャンネルとなる反転層中を電流が通ることによる「チャンネル抵抗」はオン抵抗の大きな要素のひとつである。チャンネル長Lを短くすれば、その分チャンネル抵抗は小さくなるし、構造単位のサイズも小さくなって単位面積当りの電流容量も増大するのであるが、チャンネル長Lは素子耐圧と深く関係しており、むやみに短くすると素子耐圧が低下してしまう。そのため耐圧やしきい値などの設定に制約され、チャンネル長を短くするには限界がある。また、上記の構造においては、寄生デバイスとして、(ドレイン領域1)-(ベース領域2)-(ソース領域3)からなるnpnバイポーラトランジスタが存在し、急激なドレイン電圧の変化が加わると、この寄生トランジスタが作動して素子が破壊されるという問題がある。

【0005】また、従来のMOS構造の他の例としては、特開昭58-63130号公報に記載されているような、いわゆるUMOS構造がある。図22は上記のUMOS構造の断面図である。図22において、図21と同符号は同じ部分を示す。この素子は、素子表面にU字型の溝を形成し、その中に絶縁ゲートを埋め込むことにより、チャンネルを素子の深さ方向に形成し、構造単位の密度向上を計ったものである。この素子においては、チャンネルを縦に作ったことにより、同じチャンネル長でも図21より構造単位のサイズは大幅に小さくなり、その分だけオン抵抗も低くなるが、チャンネル長と耐圧の関係および寄生トランジスタの存在による問題は図21の場合と同じである。

【0006】一方、チャンネル長の短い素子構造ということであれば、静電誘導トランジスタ(前記DMOSと同じ文献の第182頁に記載)が従来からよく知られており、ゲート構造として接合ゲートも絶縁ゲートも考案されている。この静電誘導トランジスタは、チャンネル構造に反対導電型不純物領域を用いないので寄生トランジスタもなく、主電流が反転層などの狭い領域を通らないことからオン抵抗も低い構造である。しかし、これまで説明した縦型MOSFETではゲート電圧を印加しない状態が素子の遮断状態であるのに対し、静電誘導トランジスタではゲート電極が接地もしくは正電位の状態では素子の導通状態であり、ドレインと反対極性の電圧を印加しなければ主電流を遮断することが出来ない。また遮断したとしても、本来、三極管特性を示す素子構造であることから、ドレイン電圧が上昇するにつれて主電流が流れ出てしまうなど、取扱いに困難な点が多い。

## 【0007】

【発明が解決しようとする課題】上記のように、従来のDMOSやUMOSにおいては、耐圧やしきい値などの設定に制約されてチャンネル長を短くするには限界があり、そのためオン抵抗の大きな部分を占めるチャンネル抵抗を低減するのが困難であり、また、構造上発生する寄

生トランジスタによって素子が破壊される恐れがあるという問題があった。また、静電誘導トランジスタにおいては、主電流の遮断にドレインとは反対極性の電圧を印加しなければならず、また、三極管特性を示す素子構造であることから、ドレイン電圧が上昇するにつれて主電流が流れ出てしまうなど、取扱いに困難な点が多い、という問題があった。

【0008】本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、オン抵抗が低く、かつ従来のMOS型パワーデバイスに比肩する電流遮断特性を実現することの出来る新規な半導体装置を提供することを目的とする。

【0009】なお、前記のごとき従来技術の問題を解決するため、本出願人は、ソース領域と同電位の金属からなるショットキー接合と絶縁ゲートとに囲まれたチャンネル領域を持ち、ショットキー障壁と絶縁ゲートのポテンシャルで形成される空乏領域によってチャンネル領域を遮断し、絶縁ゲート周辺に蓄積層を形成して電流を流す方式の半導体装置を既に出願（特願平2-90095号）している。また、本出願人は、絶縁ゲートとショットキー接合とに囲まれたチャンネル領域を半導体多結晶薄膜で形成することにより、上記本出願人の先行出願の半導体装置と同一の動作原理に基づいて動作し、かつ工業的に簡便な製造方法で実現することの出来る半導体装置を既に出願している（特願平3-129049号）。本発明は、上記のごとき本出願人による先行出願の半導体装置をさらに改良したものである。

#### 【0010】

【課題を解決するための手段】上記の目的を達成するため、本発明においては、特許請求の範囲に記載するように構成している。すなわち、本発明においては、ドレイン領域となる第1導電型の単結晶半導体の一主面に接して形成され、表面を絶縁膜に被覆されたゲート電極からなる絶縁ゲートと、上記ドレイン領域と上記絶縁ゲートに接して形成された第1導電型のチャンネル領域と、上記チャンネル領域と上記絶縁ゲートに接し、上記ドレイン領域には接しないように形成された第1導電型のソース領域と、上記ソース領域とオーミックコンタクトし、かつ上記チャンネル領域とショットキー接合する金属からなるソース電極と、を備え、上記チャンネル領域の上記半導体の一主面に平行な断面において、上記ショットキー接合面と上記絶縁ゲート表面との最短距離があらゆるところでほぼ同一であるように構成したものである。

#### 【0011】

【作用】本発明の半導体装置においては、上記ショットキー接合と然るべき電位にした上記絶縁ゲートのポテンシャルによって上記チャンネル領域を空乏化して電流を遮断する。また、チャンネル領域の長さLと厚みHとの比は、ドレイン電極に所望の電圧を印加してもチャンネルの遮断状態を保持するように設定する。なお、チャンネル領

域の長さLとは、絶縁ゲートに沿ってソース領域との界面からショットキー金属の端部までの長さであり、チャンネル領域の厚さHとは、絶縁ゲートの表面すなわちゲート絶縁膜の表面とショットキー金属の表面との間隔（なお、LおよびHについては後記図1参照）である。また、電流の導通には、絶縁ゲートに然るべき電位を印加し、絶縁ゲートに接するチャンネル領域に蓄積層を形成して、ソース領域とドレイン領域をつなぐ構造としたものである。なお、この蓄積層チャンネルは従来のMOSデバイスに使われている反転層チャンネルより抵抗率が低い。

【0012】また、上記のように、ショットキー接合面と絶縁ゲート表面との最短距離をあらゆるところでほぼ同一にするためには、チャンネル領域の形状が絶縁ゲート側に凸の部分ではチャンネル領域と絶縁ゲートとの境界面のなす形状における曲部の曲率半径をチャンネル領域の厚さと同等もしくはそれ以上の長さにし、チャンネル領域の形状がソース電極側に凸の部分ではチャンネル領域とソース電極との境界面のなす形状における曲部の曲率半径をチャンネル領域の厚さと同等もしくはそれ以上の長さにするればよい。上記の形状を判り易く説明すると、例えば、後記図1(b)に示すように、絶縁ゲート44（ゲート電極4と絶縁膜5）、チャンネル領域1'およびソース電極33の平面パターン（半導体の主面に平行な平面で切った断面）においては、チャンネル領域1'の厚さHはどの場所でも一定であり、かつチャンネル領域1'と絶縁ゲート44との境界面の角の部分が丸くなっており、その曲率半径Rは少なくともチャンネル領域1'の厚さHと同等以上になっている。なお、上記図1(b)はチャンネル領域1'の形状が絶縁ゲート44側に凸の部分の例であるが、後記図20の円K2で囲んだ部分に示すように、チャンネル領域1'の形状がソース電極33側に凸の部分では、チャンネル領域1'とソース電極33との境界面のなす形状における曲部の曲率半径がチャンネル領域1'の厚さと同等以上になっている。このような形状とすることにより、チャンネル領域が絶縁ゲート44やソース電極と接する部分における角部において、それ以外の場所よりもチャンネル領域の厚さHが大きくなってチャンネル領域の性能を落とすという問題を生じることがなくなる（詳細後述）。なお、ソース電極33の角の部分も丸く（曲率半径r）することにより、製造時にソース電極となる金属の充填に支障をきたす恐れがなくなる（詳細後述）。

【0013】上記の作用をまとめると次のようになる。

(1) チャンネル領域として反対導電型領域を利用しないので、npnバイポーラトランジスタのような寄生デバイスを持たない。

(2) 耐圧がチャンネル構造と無関係なので、高耐圧で短いチャンネル領域長のデバイスを構成できる。

(3) ゲートの表面パターンに存在する角の部分にチャンネル領域の厚さ以上の曲率半径を持つ丸みを付け、チャ

ネル領域の厚さを均一にすることにより、安定した特性の素子を構成できる。

#### 【0014】

【実施例】以下、本発明を実施例に基づいて説明する。図1は、本発明の第1の実施例図であり、(a)は半導体の主面に垂直方向の断面図、(b)は(a)のB-B断面図(主面に平行な方向の断面)である。この半導体装置は、半導体としてシリコンを、ドレイン領域としてn型不純物領域を用いたものである。図1において、1はn型ドレイン領域、11はドレイン電極、3はn+ソース領域、33は金属からなるソース電極、4はゲート電極で、ノーマリ・オフ構造とするためにドレイン領域とは反対導電型のp+型多結晶シリコンで形成している。5はゲート絶縁膜、6は層間絶縁膜である。なお、ゲート電極4とゲート絶縁膜5を併せて絶縁ゲート44と呼ぶことにする。7はチャンネル領域形成用のサイドウォールである。また、Lはチャンネルの長さ、Hはチャンネルの厚さである。

【0015】図1に示すように、絶縁ゲート44は素子表面から縦に掘り込まれた溝の中に形成され、ソース電極33も絶縁ゲート44の近傍に、同様に縦に掘り込まれた溝の中に埋め込まれている。ソース電極33はソース領域3とはオーミックコンタクトするが、n-ドレイン領域1とはショットキー接合する。ドレイン領域1のうち、絶縁ゲート44とソース領域3とソース電極33とによって囲まれた部分をこの半導体装置のチャンネル領域1'と呼ぶことにする。このチャンネル領域1'はゲート電位がゼロ(ソース電極と同電位)の時でも、ショットキー接合の効果と、チャンネル領域1'とゲート電極材料の仕事関数差によって空乏化しており、素子は遮断状態にある。また、後述するように、チャンネルの長さLとチャンネルの厚さHの比は、ドレイン電位を所望の耐圧まで高めてもチャンネルが開かないようにする値、例えば $L/H > 2$ に設定されている。

【0016】なお、図1は素子の断面構造を模式的に表わしたもので、絶縁ゲート44およびソース電極33の底部は角張っているが、実際は丸みを帯びていてもかまわない。また、絶縁ゲート44の深さとソース電極33の深さは同じに描いているが、必ずしも同じである必要はない。また、図1(a)においては、ソース電極33や絶縁ゲート44の側面が垂直になっている場合を例示しているが、必ずしも垂直である必要はなく、曲線や折線状になっていてもよい。ただし、チャンネル領域1'の厚さHはどこでもほぼ一定である必要がある。

【0017】次に、図2～図5を用いて本発明の半導体装置のチャンネルの動作原理について説明する。図2および図3は、従来のnチャンネルMOSFETのチャンネル部のバンド構造、すなわち前記図21のA-A断面のバンド構造図であり、図2はゲート電位0Vの遮断状態、図3はゲート電極を然るべき正電位にした導通状態を示し

ている。なお、本発明と比較するために、ゲート電極の材料はp+ポリシリコンとする。図2の状態では、p型であるベース領域とゲート絶縁膜との界面の電位は低く、電子は通さない。図3のようにゲートに正の電圧が印加され、それにつれて界面の電位が上昇し、反転層が形成されると導通状態となる。

【0018】一方、図4および図5は、本発明の半導体装置のチャンネル部のバンド構造、すなわち前記図1のA-A断面のバンド構造を示したものである。なお、ゲート電極の材料はp+ポリシリコンである。図4は前記図2に対応した状態で、ゲート電位0Vであり、チャンネル領域1'はショットキー接合と、チャンネル領域とゲート電極材料による仕事関数差の影響で全域が空乏化されており、電子はチャンネルを通ることができず、素子は遮断状態である。図5は前記図3に対応した状態で、ゲート電極に然るべき正の電圧を印加した状態を示している。ゲート絶縁膜界面の電位はゲート電位につれて上昇し、界面に蓄積層が形成されると導通状態となる。このとき、チャンネル領域1'内は蓄積層と空乏層しか存在せず、伝導電子のほとんどはゲート絶縁膜界面に偏って存在する。

【0019】次に、図6～図8を用いて本発明の半導体装置のチャンネル構造の良好な電流遮断特性を実現する条件について説明する。図6～図8は、図1のA-A断面のバンド構造であり、便宜的にショットキー障壁、半導体領域の伝導帯下端の線および絶縁膜の存在のみを示している。各図中、 $\phi_s$ はゲート電極となるp+型ポリシリコンの伝導帯下端のポテンシャルをフェルミ準位を基準にして示したもの、 $\phi_c$ はチャンネル領域とソース電極33とのなすショットキー障壁高さ、 $E_g$ はシリコンのバンドギャップ、 $t_{ox}$ は絶縁膜の厚さである。なお、各図ではゲート電極は接地状態とする。図6は、図中の諸量及びチャンネルの厚さH、半導体領域の不純物密度 $N_D$ などによってチャンネル断面の電位分布に極値がなく、チャンネル領域をよぎるA-A断面内(以下、ここでは単に「チャンネル領域内」という)に多数キャリアの集中する領域のない条件である。図7は、チャンネル領域内に極値はできているが、フェルミ準位を基準とした場合、極値が $-E_g/2$ より小さいので多数キャリアが存在しない条件である。図8は、チャンネル領域内の極値が $-E_g/2$ より大きく、チャンネル領域は空乏化していても多数キャリアの集中した領域が存在する条件である。この条件では漏れ電流として、かなりの電流が流れてしまう。この場合でも、ゲート電極に負の電圧を印加して絶縁ゲート44界面のポテンシャルを上げてやれば、漏れ電流を除去することは可能である。しかし、本発明はノーマリ・オフ型デバイスであることを前提としているので、チャンネル領域の不純物濃度 $N_D$ やチャンネルの厚さHなどの諸量は、図8のような状態にならないように選ばなければならない。この条件は単純なポアソン方程式を解くこ

とによって容易に求まる。一例を示すと、チャネル領域の不純物濃度 $N_0$ が $1 \times 10^{15} \text{ cm}^{-3}$ の場合、チャネルの厚さ $H$ は $1.07 \mu\text{m}$ 以下、 $N_0$ が $1 \times 10^{16} \text{ cm}^{-3}$ の場合、チャネルの厚さ $H$ は $0.27 \mu\text{m}$ 以下であればよい。

【0020】また、図1において、ソース領域を接するチャネル領域のポテンシャルは、ソース領域の影響を受けて高められる。この影響はチャネル領域内に、上記の条件を満たす範囲内において、およそチャネルの厚さ $H$ 分の距離まで及ぶことが数値計算によって明らかになっている。同様のことが、チャネル領域にドレイン電界が加わったときにも生じる。ドレイン電位を上げてゆき、チャネル領域付近の電界強度がシリコンのアバランシェ降伏条件にまで達したとしても、その影響はやはりチャネル領域内にチャネルの厚さ $H$ 分程度しか及ばない。従って、本実施例の場合、ドレイン電圧を所望の耐圧まで高めてもチャネルが開かないようにするためには、チャネルの長さ $L$ をチャネルの厚さ $H$ の2~2.5倍程度にする必要があり、余裕を見込んでも3~4倍もあれば十分である。例えばチャネルの厚さが $5000 \text{ \AA}$ の場合には、チャネルの長さは $1.5 \sim 2 \mu\text{m}$ 、 $H$ が $3000 \text{ \AA}$ の場合はチャネルの長さは $1 \sim 1.2 \mu\text{m}$ あれば十分であり、このチャネル構造で素子耐圧 $1000 \text{ V}$ の素子も設計可能である。

【0021】次に、本発明の半導体装置の動作について説明する。図9は本実施例の電流-電圧特性図である。本実施例の素子は、ソース電極を接地、ドレイン電極を正電位にして使用する。まず、ゲート電位が接地状態の時は、電流は遮断されて流れない。この状況を図9中の線Cに示す。電流は素子の降伏電圧まで流れない。次に、ゲート電極に然るべき正の電圧を印加し、チャネル領域の絶縁ゲート44周辺に蓄積層が形成されると、素子は導通状態となる。この状況を図9中の線Bに示す。電流は蓄積層内の電子の移動度によって制限される。ドレイン電圧が上昇するにつれて電流が僅かずつ上昇するのは、ドレイン電界によって蓄積層が僅かずつ短くなるからである。さらに、ゲート電圧を上げてゆくと、主電流はさらに多く流れるようになる。この状況を線Aに示す。

【0022】次に、図1の実施例の製造工程の一例を図10~図16を用いて説明する。まず、図10に示すごとく、ドレイン領域であるn-シリコン基板表面にマスク材100をパターンニングして絶縁ゲート用の溝を蝕刻する。蝕刻は方向性ドライエッチングによって、溝の側壁が基板表面になるべく垂直になるように蝕刻する。次に、図11に示すごとく、溝の内壁にゲート絶縁膜5を形成し、次いでゲート電極材であるp+型ポリシリコン4を堆積させて埋め、表面が平坦になるように蝕刻して、ポリシリコンが溝の内部のみに残るようにする。そ

6を形成し、絶縁ゲート44を完成させる。次に、マスク材100を除去し、図12に示すごとく露出したシリコン基板1を蝕刻し、絶縁ゲート44の一部を露出させる。次に、図13に示すごとく、リンガラスなどのマスク材7を表面に堆積させる。この際、マスク材7は露出した絶縁ゲート44の側壁にも平坦な部分と同じ厚さに堆積するようにする。これを短時間加熱すれば、リンガラスからの不純物拡散によってソース領域3となるn+領域が形成される。もちろんソース領域の形成には別途イオン注入によっても構わない。次に、図14に示すごとく、マスク材7を方向性ドライエッチングによって基板表面に垂直に蝕刻し、露出した絶縁ゲート44の側壁にのみマスク材7を残す。素子のチャネルの厚さ $H$ は、このマスク材7の厚さ(図の横方向の幅)によって精度良く制御される。次に、図15に示すごとく、この側壁のマスク材7をマスクにして、基板シリコン1を方向性ドライエッチングによって垂直に蝕刻し、ソース電極用の溝を形成する。これにソース電極を蒸着等の方法で形成し、パターニングすることによって図1の基本構造が完成する。なお、ソース電極33は、n-ドレイン領域1の一部であるチャネル領域1'とはショットキー接合するが、n+ソース領域3とはオーミック接続する。

【0023】次に、これまでの説明は半導体の主面に垂直な方向の断面構造についての説明であるが、主面と平行な方向の断面構造(主面と平行な面で切った断面)について考えると、以下の点に注意しなければならない。図16は、半導体の主面に水平な方向の断面図であり、前記図1(b)に示すB-B断面図を複数の素子に拡張した図である。ゲート電極4と絶縁膜5からなる絶縁ゲート44の平面パターンは、後述するように様々なものがあるが、ここでは格子構造を例にとりて説明する。図16の絶縁ゲート44の角の部分(図中の円Kで囲んだ部分)を見ると、辺の部分のチャネルの厚さ $H$ に対して角の部分のチャネルの厚さは実効的に $\sqrt{2}H$ となり、この部分だけチャネルの厚さが大きくなる。そのため、前記図6~図8を用いて説明したように、ここだけチャネルの遮断特性が劣ることになる。したがって、絶縁ゲート44の角の部分には、図17に示すように、少なくともチャネルの厚さ $H$ 分の曲率半径を持つ丸みを持たせなければならない。

【0024】しかしこれだけでは、チャネルの厚さは均一にできても、前述した製造工程の図15のエッチングを行なうと、溝の側壁にはきっちりとした角が形成され、ソース電極33を蒸着する際、この角部に金属が充填されないおそれがある。そのため、ソース電極が容易に充填されるようにソース電極33の角部にも丸みを持たせ、かつチャネルの厚さが均一になるようにするため、ゲートパターンの角部の丸みの曲率半径は、さらに大きめに設定することが望ましい。図18は、上記のことを考慮した、絶縁ゲート44の平面構造の第1の実施

例図である。図18は、図16と同様に、半導体の主面に水平な方向の断面図であり、前記図1(b)に示すB-B断面図を複数の素子に拡張した図である。例えば、最小径 $1\mu\text{m}$ のコンタクトホールに金属を充填する能力のあるプロセス技術を使う場合には、ソース電極の周辺形状において最小曲率半径が $5000\text{\AA}$ 以上になるようにする。図18中の半径 $r$ がこれに相当し、チャンネルの厚さ $H$ が $5000\text{\AA}$ とすれば、ゲートパターンの角部の半径 $R$ は $1\mu\text{m}$ 程度ということになる。

【0025】次に、図19は、絶縁ゲート44の平面構造の第2の実施例図である。図19は、図18の変形であり、絶縁ゲート44が蜂の巣状の構造をしているものを示す。

【0026】次に、図20は、絶縁ゲート44の平面構造の第3の実施例図である。図20は、絶縁ゲート44がストライプ状をなした構造である。このパターンにおいても、パターン端部で角の部分が発生するので、上記の丸みを付けることが有効である。また、このようなパターンでは、円K1で囲んだ部分に示すように、チャンネル領域1'が絶縁ゲート44側に凸の部分と、円K2で囲んだ部分に示すように、チャンネル領域1'がソース電極33側に凸の部分とがある。上記のどちらの場合においてもチャンネル領域1'の厚さを一定に保つ必要がある。そのため、チャンネル領域1'が絶縁ゲート44側に凸の部分では絶縁ゲート44とチャンネル領域1'との境界面の形状の曲率半径 $R_1$ が少なくともチャンネル領域1'の厚さ $H$ 以上になるようにし、チャンネル領域1'がソース電極33側に凸の部分ではソース電極33とチャンネル領域1'との境界面の形状の曲率半径 $R_2$ が少なくともチャンネル領域1'の厚さ $H$ 以上になるようにする。

【0027】なお、これまでの説明においては、前記本出願人による先行出願(特願平2-90095号)と基本構造が類似した構成、すなわちチャンネル領域がドレイン領域と連続した単結晶半導体で構成されたもの(請求項2に記載)に基づいて説明したが、前記本出願人による他の先行出願(特願平3-129049号)と基本構造が類似した構成、すなわちチャンネル領域が多結晶半導体で構成されたもの(請求項3に記載)についても、上記と同様に、チャンネル領域と絶縁ゲートとの境界面またはチャンネル領域とソース電極との境界面の角部の曲率半径をチャンネル領域の厚さ $H$ 以上にするにより、上記と同様の効果が得られる。

【0028】

【発明の効果】以上、説明したごとく、本発明においては、

(1) 従来のMOSFETが反転層によって主電流を制御していたのに対し、これより抵抗率の低い蓄積層を使って主電流制御を行なうこと。

(2) チャンネルの長さが短くてもチャンネル遮断特性が保てるので、素子の耐圧に関係なくチャンネルの長さを短く

することができる。

(3) 基本構造を実現するのに、フォトリソプロセスが1回ですみ、かつチャンネルがデバイスの深さ方向に形成されていることから構造単位が小さく、チャンネル密度を高くできる。

上記(1)~(3)の効果により、チャンネル抵抗を従来のMOSFETに比べて1桁程度低くすることができる。

(4) さらに、反転層を使わないので素子の基本構造には反対導電型領域が存在せず、従来のMOSFETが持つような寄生デバイスを持たない。

(5) ゲートの表面パターンに存在する角の部分にチャンネルの厚さ以上の曲率半径を持つ丸みを付け、チャンネルの厚さを均一にすることにより、ソース電極も充填され易くなって、安定した特性の素子を実現することが構成できる。等の優れた効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図。

【図2】従来のMOSFETにおけるチャンネル領域のバンド図。

【図3】従来のMOSFETにおけるチャンネル領域のバンド図。

【図4】図1の実施例におけるチャンネル領域のバンド図。

【図5】図1の実施例におけるチャンネル領域のバンド図。

【図6】図1の実施例におけるチャンネル領域のバンド図。

【図7】図1の実施例におけるチャンネル領域のバンド図。

【図8】図1の実施例におけるチャンネル領域のバンド図。

【図9】図1の実施例の電流-電圧特性図。

【図10】図1の実施例の一連の製造工程のその1を示した断面図。

【図11】図1の実施例の一連の製造工程のその2を示した断面図。

【図12】図1の実施例の一連の製造工程のその3を示した断面図。

【図13】図1の実施例の一連の製造工程のその4を示した断面図。

【図14】図1の実施例の一連の製造工程のその5を示した断面図。

【図15】図1の実施例の一連の製造工程のその6を示した断面図。

【図16】絶縁ゲート44の平面パターンの一例を示す図であり、半導体の主面に平行な平面で切った断面図。

【図17】絶縁ゲート44の平面パターンの他の一例を示す図であり、半導体の主面に平行な平面で切った断面図。

【図18】本発明の絶縁ゲート44の平面パターンの第1の実施例図であり、図1のB-B断面図を複数の素子に拡張した図。

【図19】本発明の絶縁ゲート44の平面パターンの第2の実施例図。

【図20】本発明の絶縁ゲート44の平面パターンの第3の実施例図。

【図21】従来の縦型MOSFETの一例の断面図。

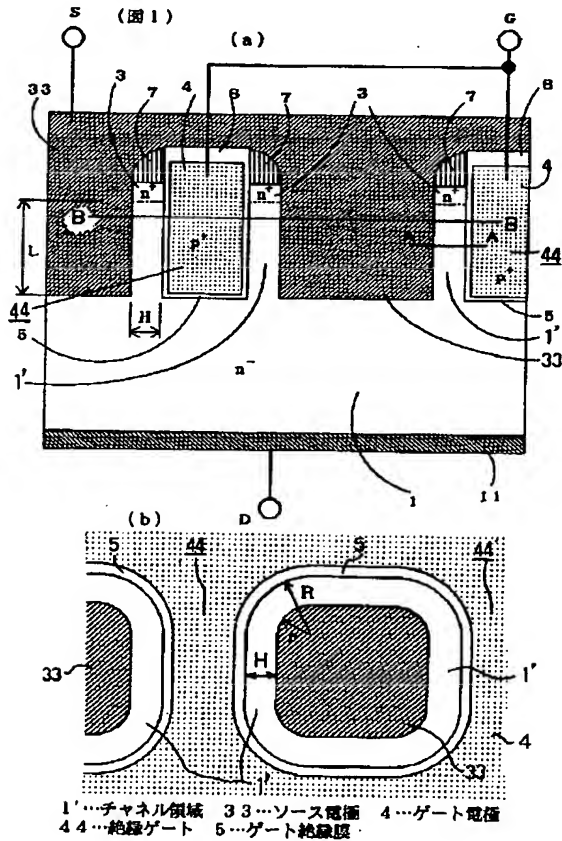
【図22】従来のUMOSFETの一例の断面図。

【符号の説明】

- 1…n-型ドレイン領域
- 1'…チャネル領域
- 11…ドレイン電極
- 2…p型ベース領域
- 22…ベース領域コンタクト用のp+型領域
- 3…n+型ソース領域

\*

【図1】



\* 33…ソース電極

4…ゲート電極

44…絶縁ゲート

5…ゲート絶縁膜

6…層間絶縁膜

7…サイドウォール

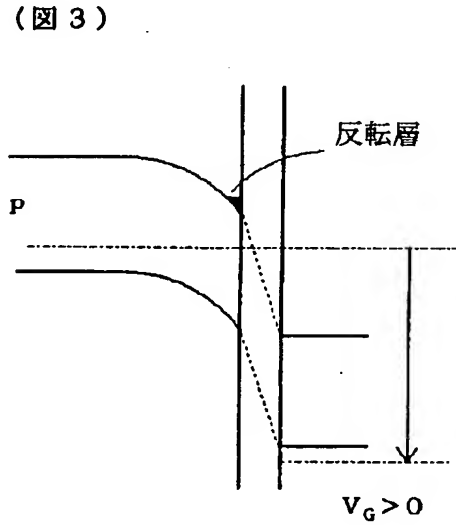
100…マスク材

H…チャネルの厚さ

L…チャネルの長さ

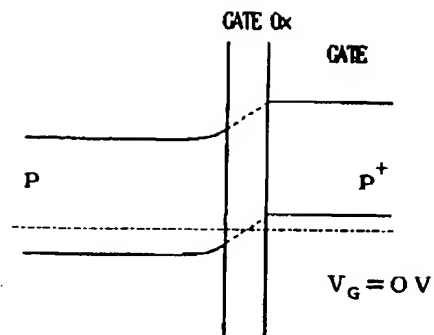
- 10 K, K1, K2…絶縁ゲート44の角の部分を示す円
- R, R1…角の部分における絶縁ゲート44境界面の曲率半径
- R2…角の部分におけるソース電極33境界面の曲率半径
- r…角の部分におけるソース電極の曲率半径

【図3】



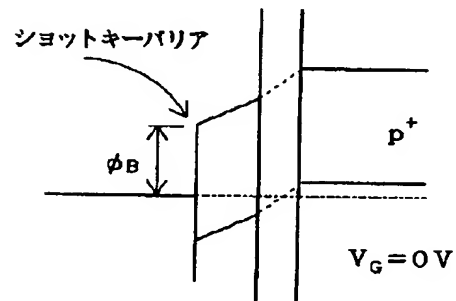
【図2】

(図2)



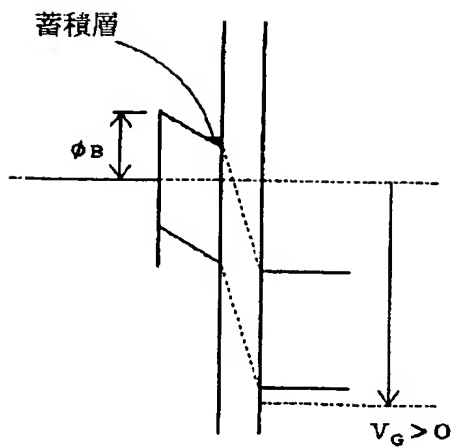
【図4】

(図4)



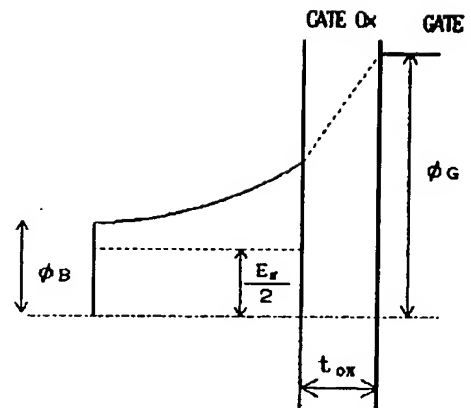
【図5】

(図5)



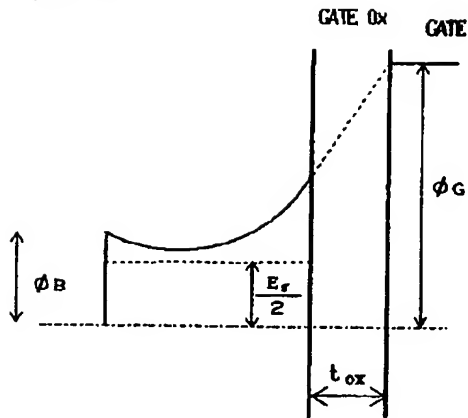
【図6】

(図6)



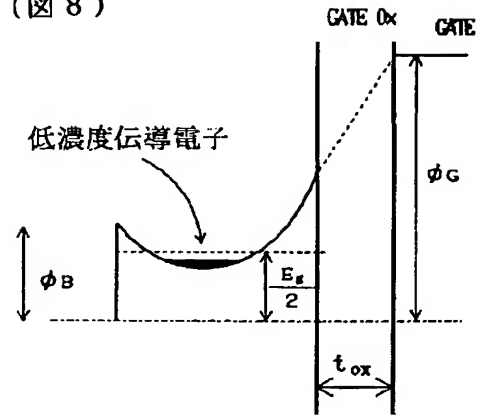
【図7】

(図7)



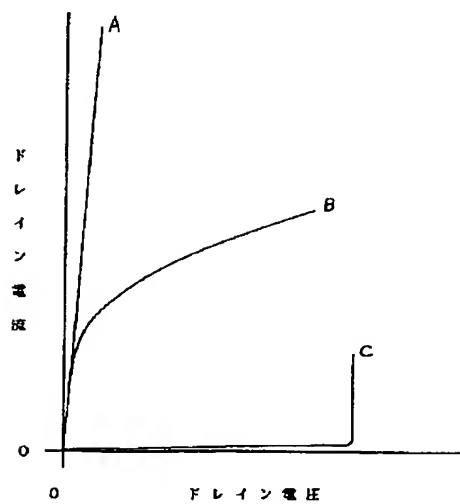
【図8】

(図8)



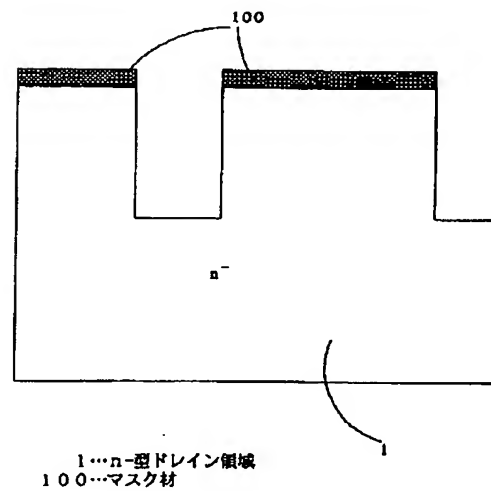
【図9】

(図9)



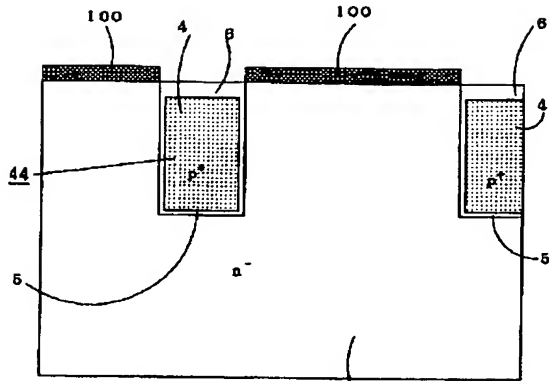
【図10】

(図10)



【図11】

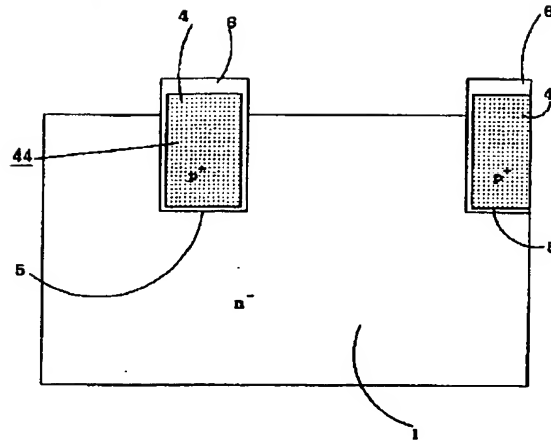
(図11)



- 1...n-型ドレイン領域  
4...ゲート電極  
4 4...絶縁ゲート  
5...ゲート絶縁膜  
6...層間絶縁膜  
100...マスク材

【図12】

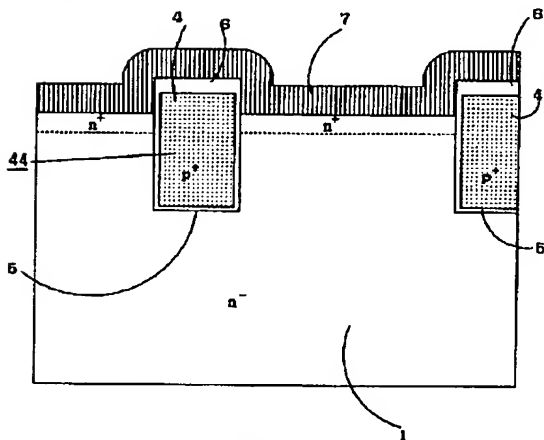
(図12)



- 4...ゲート電極  
4 4...絶縁ゲート  
5...ゲート絶縁膜  
6...層間絶縁膜

【図13】

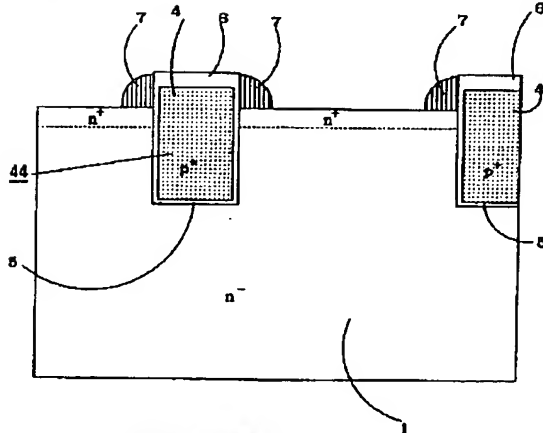
(図13)



- 1...n-型ドレイン領域  
4...ゲート電極  
4 4...絶縁ゲート  
5...ゲート絶縁膜  
6...層間絶縁膜  
7...サイドウォール

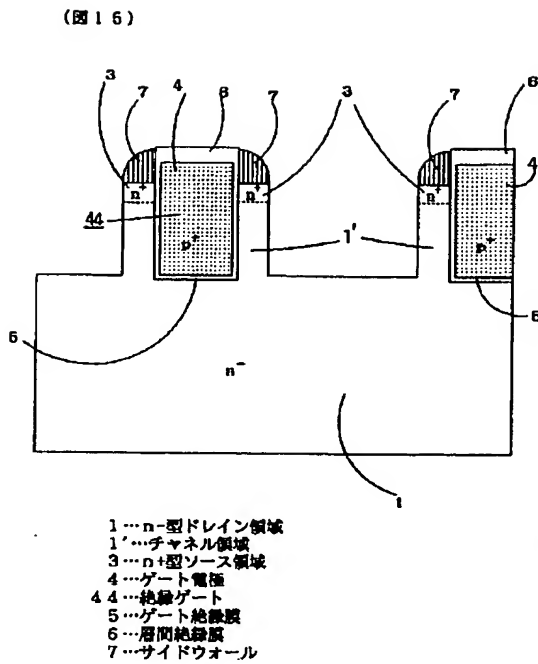
【図14】

(図14)

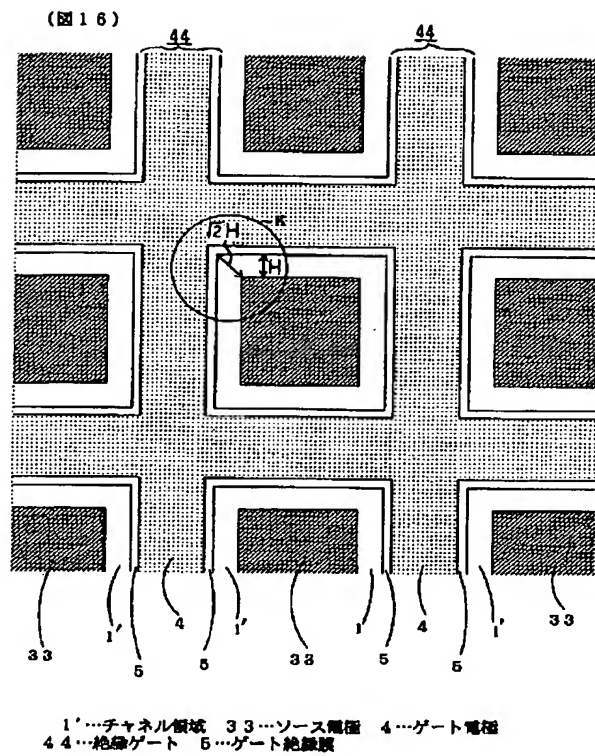


- 1...n-型ドレイン領域  
4...ゲート電極  
4 4...絶縁ゲート  
5...ゲート絶縁膜  
6...層間絶縁膜  
7...サイドウォール

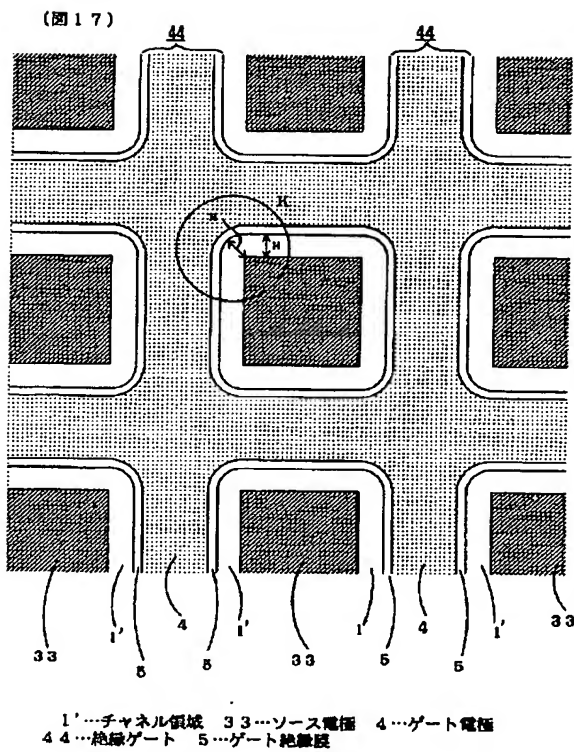
【図15】



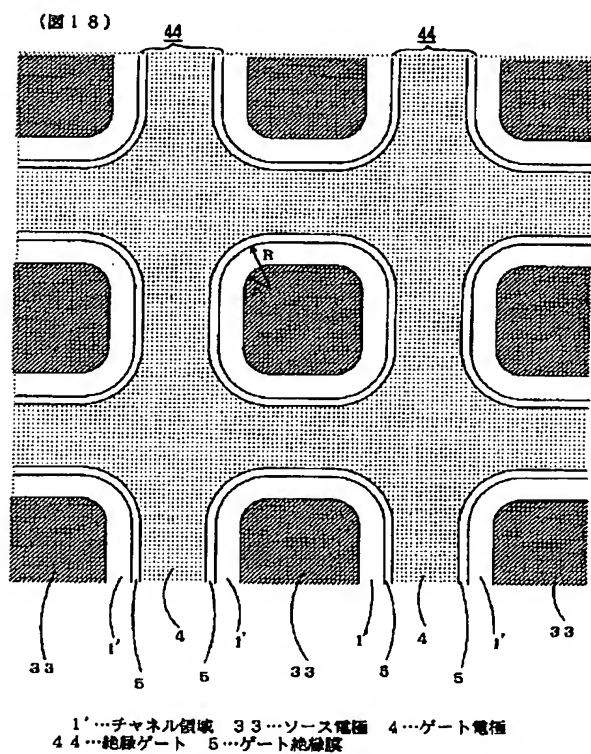
【図16】



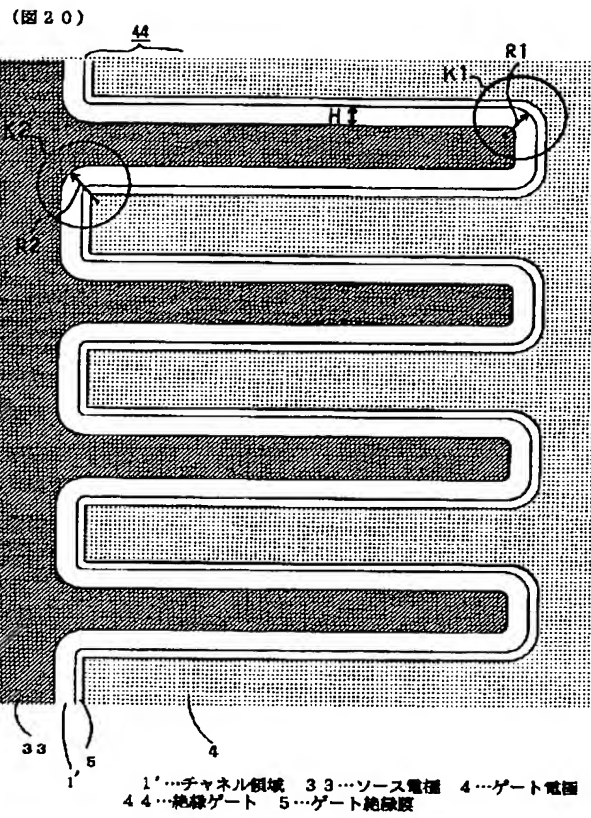
【図17】



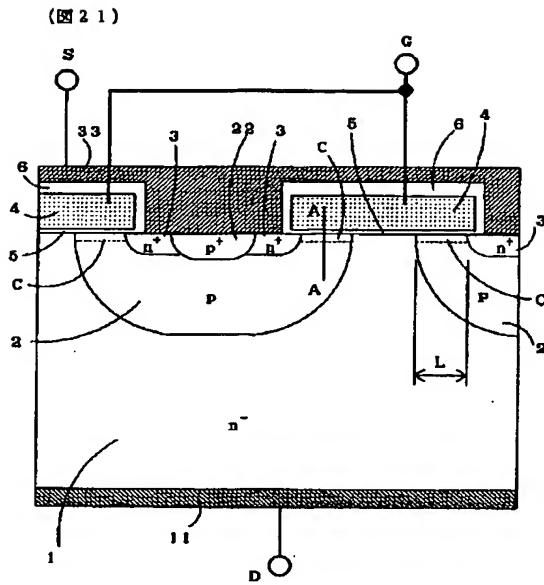
【図18】



【図 20】

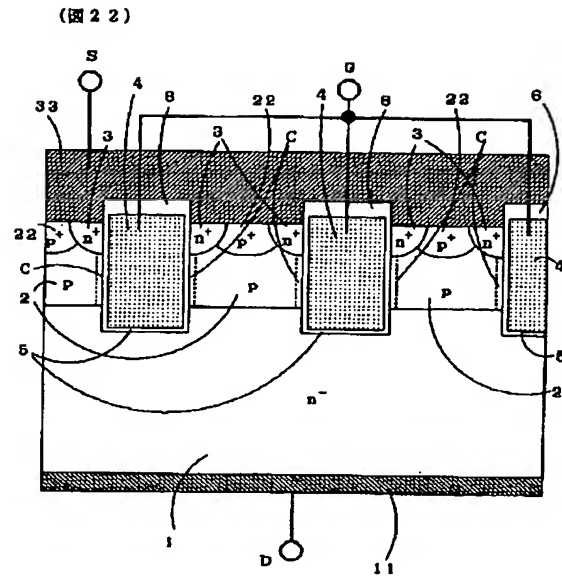


【図21】



- 1...n-型ドレイン領域
- 11...ドレイン電極
- 2...p型ベース領域
- 22...ベース領域コンタクト用のp+型領域
- 3...n+型ソース領域
- 33...ソース電極
- 4...ゲート電極
- 5...ゲート絶縁膜
- 6...層間絶縁膜
- C...チャネル領域

【図22】



- 1...n-型ドレイン領域
- 11...ドレイン電極
- 2...p型ベース領域
- 22...ベース領域コンタクト用のp+型領域
- 3...n+型ソース領域
- 33...ソース電極
- 4...ゲート電極
- 5...ゲート絶縁膜
- 6...層間絶縁膜
- C...チャネル領域